

E15

① 日本国特許庁(JP)

② 特許出願公開

③ 公開特許公報(A) 昭64-29951

④ Int.Cl.
G 06 F 12/00

⑤ 特許庁
特許庁
303 P-8841-5B

⑥ 公開 昭和64年(1989)1月31日

審査請求 未請求 発明の段 1 (全5頁)

⑦ 発明の名称 記憶システム

⑧ 特 願 昭62-185253

⑨ 出 願 昭62(1987)7月24日

⑩ 発 明 者 熊谷 多加史 神奈川県横浜市旭山下1番地 株式会社日立製作所神奈川工場内

⑪ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑫ 代 理 人 弁理士 鈴木 誠

明 細 書

1. 発明の名称

記憶システム

2. 特許請求の範囲

(1) 主記憶装置と副記憶装置のアクセス制御を行う記憶制御装置とからなる記憶システムにおいて、前記主記憶装置と前記副記憶装置に共通のクロック信号を供給すると共に、前記主記憶装置は、前記主記憶装置内のメモリ素子の動作特性を示す情報を検出する手段と、前記クロック信号を用いてメモリ素子の動作特性、読みとデータのビット数等を生成する手段と、これらの情報を前記記憶制御装置に供給して可読とする手段を備えていることを特徴とする記憶システム。

3. 発明の詳細な説明

(発明の背景)

本発明は主記憶装置とそのアクセス制御を行う記憶制御装置よりなる記憶システムに係り、特に、高速アクセス制御を容易にし、しかも記憶装置やメモリ素子の動作特性に対して柔軟性を与えるのに好

適な記憶システムに関する。

(従来の技術)

従来の電子計算機においては、例えば特許第57-10193,7号公報の記載のように、主記憶装置に、主記憶装置(以下MSと略す)を制御する記憶制御装置(以下SCUと略す)あるいはSCUより命令やデータを受取って実行する命令プロセッサ(以下IPと略す)を使用するクロックに対し、独立のクロックを供給していた。これは、MSのクロックは、MSで使用するRAM等の記憶素子の動作特性によって決定されることによる。

SCUとMS間のインタフェースの間では、SCUがMSに対して読取信号とアクセスの情報を示した信号を送出し、MSでの処理が完了すると、MSはSCUに対して完了信号を行っている。他には、SCUがMSの読取の制御信号を行う方法がある。これは、SCUがMSに対して読取信号を送出した後、アクセスの情報により、対応するSCUでカウントし、一定時間が経過すると、

SCUからMSに対して、データ送受の要求をする信号を送出して、管理するものである。

一方、SCU、IPの動作状態、つまりマシンサイクルを可変にしたり、あるいは動作状態の異なるMSを接続したりすることがある。この時、上記、SCUがMSを管理する方法を定める場合、動作状態の異なるSCU内に接続し、SCUとMSのインタフェースを可変として対応する方法等が考えられている。

【発明が解決しようとする課題】

最近、通称してデータの読み、書き込みを高速に行うことが可能なメモリ素子が開発されている（例えば、ニブルワードとか高速ページワード）。また、最近で使われるデバイス技術の進歩により、より高速にMSをアクセスする回路が実現されている。しかしながら、上記従来技術のように、SCUとMSにおいて同様のクロックを振っている場合、上記高速メモリ素子を使用して高速にアクセスしようとしても、SCUとMSが非同調のため、回路が複雑であるという問題があった。

本発明の目的は、上述にメモリをアクセスすることが可能で、さらに、マシンサイクルの異なるあるいは動作状態の異なるメモリ素子の接続に用いて柔軟性がある配置システムを提供することにある。

【問題点を解決するための手段】

上記目的は、SCUとMSのクロックを同期化し、MSのメモリ素子に接続する信号、あるいは、データをセットする信号等を上記クロックを使用して生成するとともに、上記信号等をマシンサイクルあるいはメモリ素子の動作状態を基準時間により可変とする手段をMS内に設けることにより達成される。

【作用】

MS内のメモリ素子の制御信号、データのセット信号等を、SCUと同じクロックを使用して、生成することにより、SCUとの同期化回路が不要になる。従って、読み出しの場合は、メモリ素子からデータが出力され、これをMS内ラッチにセットし、SCU内ラッチへ送る動作を順次行

うことが可能となり、書き込みの場合、SCU内のラッチからMSのラッチへデータを順次ラッチで送出し、これをメモリ素子へ書き込むことが可能となる。さらに、上記信号を信号の周知、サイクル数で送受できるようにすることにより、マシンサイクル、あるいはメモリ素子の動作状態に合わせた信号を用いて、使用するメモリ素子に柔軟性を与えることが可能となる。

【実施例】

以下、本発明の一実施例について図面により説明する。

図1は本発明の一実施例のブロック図を示す。1はCPUプロセッサ（IP）、2は入出力プロセッサ（IOP）、3はSCU、4はMS、5はIP、IOP、SCU、MS4へタイミング信号を送出するクロック線である。

10はIP1からのリクニストを登録するリクニストスタック（IPRQ）、11はIOP2からのリクニストを登録するリクニストスタック（IOPRQ）、12はIP1からのストアデータを受

けるデータラッチ（IPSC）、13はIOPからのストアデータを受取るデータラッチ（IOPSD）である。14はMS4から送受したデータをラッチし、17はあるいはIOP3へ送受するデータラッチ（SFQ）である。15はMS4へストアデータを送出するためのストアデータラッチ（SSD）、16はMS4へSCU3のリクニストを送出するためのラッチ（SRC）である。50はSCU3を制御するSCUコントロールユニット（SCR）である。

20はSRC15から送受したリクニストをMS4で受取るラッチ（MRQ）、21はSSD15から送受したストアデータをMS4で受取るストアデータラッチ21（MSD）である。22-25は接続するメモリ素子の動作状態に合わせたストアデータラッチ（SDR0-3）、26-29は同じクォータデータラッチ（FDR0-3）である。30はSCU4へフエッチデータを送受するためのラッチ（MFC）である。40

43C. FDR0-3 (22-24). FDR0-3 (26-29) の各々のラッチとMCビットをセットするようにメモリを配列した。メモリはRAM0-3 (40-43) である。51はMSコントローラとMSコントローラユニット(MCR)である。60-63はFDR0-3 (22-24) をセットするセット番号。64はRAM0-3を制御する番号。65はFDR0-3 (26-29) をセットする番号。66はFDR0-3 (26-29) の各々のラッチのデータとメモリとの接続番号である。SCU3とMS4はMCクロック回路5を使用し、MS4内の各ラッチをセットする番号60-63及び65。RAM0-3を制御する番号64。またMS4内の制御番号66は、全てのクロック回路5を使用して生成される。従って、SCU3とMS4の両方で同期化を行うための同期は必要ない。

次に、第1図の図を第2図のタイムチャートに示して説明する。

-7-

RS1によって、リクエストに付いた制御番号64を生成する。第2図の例では、RAS200. CAS201番目の送り先である。RAM0-3 (40-43) に同時にアクセスされ、データは出力される(202)。セット番号65により、FDR0-3 (26-29) に、同時に読み出しデータセットする(203-208)。次に、データ番号66により、MFD30へ1マシンサイクルで、データを送る(207)。FDR0-3 (26-29) の全てのラッチ内のデータがMFD30へ送られると、CAS番号201により、送られたアドレスのデータが読取られ、MUFDR0-3 (25-29) へセットする。このようにして送られたデータを1マシンサイクルで、高速に読み出すことが可能である。MFD30のデータに、同じ1マシンサイクルでSCU3のSFD14Fに送られる(206)。

第3図に第1図のMCR31内の一部の制御番号を示す。300は2ビットのカウント。301

第2図のタイムチャートに、送られたデータの例を示している。第2図で、200. 201は第1図の制御番号64に送られるもので、RAS, CASを指示している。タイムチャートに、一緒に送られているアドレスの番号を示すものである。つまり、RAS200. CAS201により、一度メモリへアクセスが与えられる。その後、CAS201のアドレスで、送られたアドレスのデータが高速にアクセスされるものである。202は第1図のRAM0-3 (40-43) のデータ出力。203-208は第1図のFDR0-3 (26-29) の状態を示している。同じく207は第1図のMFD30. 208はSFD14の状態を示している。

SCU3はIF1, IOF2からのリクエストRIPRO10, IOPRQ11にスラッシュする。SCR50でこれらのリクエストの優先順位をとり、一つのリクエストを選択してSRQ18にセットし、MS4に送る。MS4は、SCU3よりのリクエストをMRU20で受け取り、MC

-8-

はデコード。302はT0のタイミングでデータを送るフリップフロップ(FF)。同じく303-305はT1-T3のタイミングのFF。306-308はサイクル数とリセット番号を保持するラッチ(CO-C3)。310-313はクロックの位相をリセットするラッチ(T0-T3)。314, 315はデレクタ。316はANDゲート。317はNOTゲート。318-319はセットリセットタイプ(SR)のFFである。

ここで、第2図のCAS201の値を生成するものと、SRFF318, 319にCASSSET番号が入力されると、SRFF318, 319が"1"にセットされる。CASSSET番号は、同時にカウンタ300をリセットする。SRFF318が"1"にセットされると、この出力は、ANDゲート316に入力され、次のタイミングでカウンタ300の入力に入力され、+1カウントアップされる。同時に、SRFF319の出力は、デコーダ303にカインプが入力

-9-

-10-

に入力される。これにより、カウンタ300の出力は、デコーダ301でデコードされ、C0-C3(306-309)の出力信号により、セレクタ314でコンタクトされる。例えばC0="1"であれば、0.マイクロ秒にセレクタ314から"1"が出力され、C1="1"であれば、1.マイクロ秒にセレクタ314から"1"が出力される。セレクタ314の出力は、T0回路のRFF302に入力されると同時に、SRFF318をリセットする。これにより、カウンタ300は、カウンタアップを止める。T0-T3(310-313)の出力信号により、どの位置で出力するかをセレクタ313でセレクトする。この信号をNOTゲート317で反転用にする。これは一般にAAS、CASに、A回路でメモリ端子に与えられるのである。CASRESET信号がSRFF319に入力されると、SRFF319の出力は"0"となり、デコーダ301のA-プル入力に"0"となり、デコーダ301の出力は全て"0"となるため、CASの出力も"0"となる。

11.

以上説明したように、本発明によれば、SCUとMSで、同じクロックを使用したことにより、SCUとMS間で同期合せが必要なくなり、高度なメモリ端子を使用した時でも同期が簡単に、MSを簡単にアクテスすることが可能となる。また、MSはメモリ端子の制御信号を任意のマイクロ秒、任意で選出できる利便性を得ることにより、マシンサイクルの更動や、異なる動作状態のメモリ端子の接続に於いて柔軟性を与える効果がある。

4. 効果の明らかな説明

図1図は本発明の一実施例のブロック図、図2図は図1図の動作を説明するタイムチャート、図3図は図1図のMSコントロール内で高周波を有する利便性の高い図、図4図は図3図の動作を説明して異なるマシンサイクルのメモリ端子に適合した時のタイムチャートである。

- 1-制御プロセッサ(CP)。
- 2-入出力プロセッサ(IOP)。
- 3-主制御回路(SCU)。

12.

このようにして、図4図の異なるマイクロ秒、異なる動作で、出力することになる。

図4図にマシンサイクルが異なるSCUに同じ動作状態のメモリ端子を接続する時、図3図で示す同期回路を利用してCAS信号を生成する場合のタイムチャートを例示したものである。図4図で400、402はAAS、401、403はCASを示してあり、図4図(b)のマシンサイクル、図4図(a)の2倍としている。一般にAASからCASのディレイタイムTRCDは、メモリの動作状態として定められており、従ってマシンサイクルが異なる時も、TRCは同じ値にしなければならない。図4図(a)では、CAS信号401は、図3図のC3(309)="1"、T0310="1"にすることにより、図の通りのタイムチャートとなり、図4図(b)では、CAS信号403は図3図のC1(307)="1"、T2(312)="1"と設定することにより、図の通りのタイムチャートが得られる。

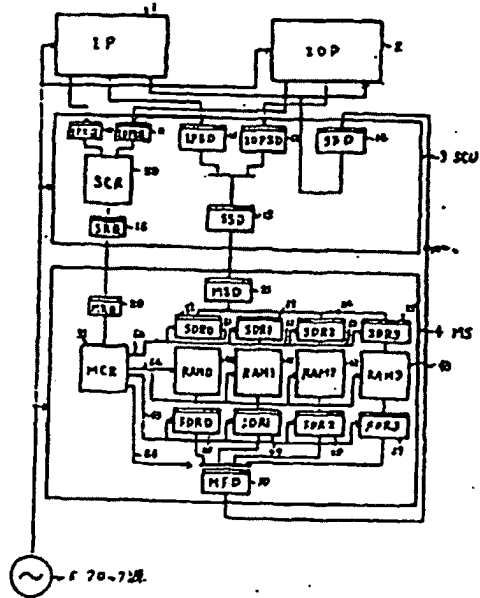
(発明の効果)

12.

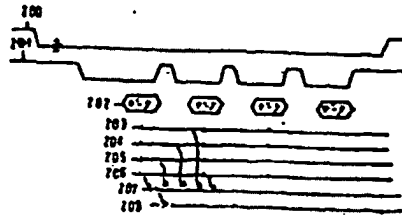
- 4-主制御回路(MS)。
- 5-クロック回路。
- 50-SCUコントロールユニット。
- 51-MSコントロールユニット。

代理人 井上 正 司

К 1

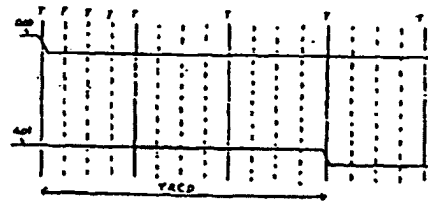


К 2

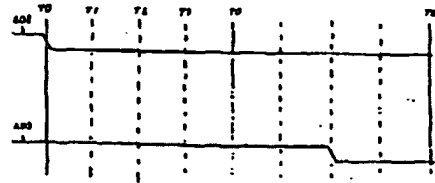


К 4

(2)



(1)



К 3

